

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Practitioner's Docket No.: 040008-0307458
Client Reference No.: OG03-025

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JIN HYO JUNG Confirmation No: 4031
Application No.: 10/747,619 Group No.: 2818
Filed: December 30, 2003 Examiner: Unassigned
For: METHOD FOR FABRICATING FLASH MEMORY DEVICE


**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2003-0069217	10/6/2003

Date: April 21, 2004
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0069217
Application Number

출원년월일 : 2003년 10월 06일
Date of Application OCT 06, 2003

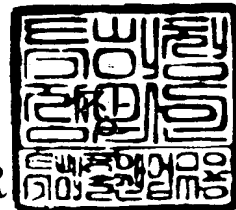
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003. 10. 06
【국제특허분류】	H01L
【발명의 명칭】	플래시 메모리 소자의 제조방법
【발명의 영문명칭】	Method for fabricating flash memory device
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서천석
【대리인코드】	9-2002-000233-5
【포괄위임등록번호】	2003-002029-1
【발명자】	
【성명의 국문표기】	정진호
【성명의 영문표기】	JUNG, Jin Hyo
【주민등록번호】	740510-1914213
【우편번호】	420-712
【주소】	경기도 부천시 원미구 도당동 아남(주)부천공장
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원

【요약서】

【요약】

본 발명은 플래시 메모리 소자의 제조방법에 관한 것으로, 보다 자세하게는 터널 산화막의 컨덕션 밴드에너지 준위를 변화하여 고에너지 전자주입 효율을 증가하여 소자의 특성을 개선시킨 플래시 메모리 소자의 제조방법에 관한 것이다.

본 발명의 상기 목적은 반도체 기판의 상부에 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 물질을 증착하여 터널 산화막을 형성하는 단계, 상기 터널 산화막 상부에 폴리를 증착하여 플로팅 게이트를 형성하는 단계, 상기 플로팅 게이트의 상부에 게이트간 절연막층을 형성하는 단계, 상기 게이트간 절연막층 상부에 컨트롤 게이트를 형성하는 단계, 상기 순차 증착된 상기 터널 산화막, 플로팅 게이트, 게이트간 절연막층 및 컨트롤 게이트를 패터닝하여 게이트 전극을 형성하는 단계 및 상기 게이트를 마스크로 하여 상기 기판에 불순물을 주입하여 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법에 의해서 달성된다.

따라서, 본 발명의 플래시 메모리 소자의 제조방법은 종래의 터널 산화막으로 사용되는 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 사용하거나 혹은 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 제1터널 산화막으로 사용하고 컨덕션 밴드 에너지 준위가 SiO_2 와 동일하거나 비슷한 수준의 산화막을 제2터널 산화막으로 사용함으로써 고에너지 전자주입 뿐만 아니라 F/N 혹은 직접 터널링 방식

에 의한 플로팅 게이트에 형성된 전위우물에 전자가 주입되기 때문에 프로그램 스피드가 종래의 방식에 비해 빨라지고, 플로팅 게이트에 형성된 전위우물에 전자들이 주입되면서 소실되는 에너지 양이 줄어들어 읽고 쓰는 동작을 반복하면서 생성되는 트랩에 의해 플로팅 게이트 소자의 문턱전압이 변하는 내구성 특성이 개선되는 효과가 있다.

【대표도】

도 3a

【색인어】

플로팅 게이트, Hot Electron Injection, 터널링, 터널 산화막, Conduction Band

【명세서】**【발명의 명칭】**

플래시 메모리 소자의 제조방법{Method for fabricating flash memory device}

【도면의 간단한 설명】

도 1a 내지 도 1b는 종래의 플로팅 게이트 소자의 단면도 및 에너지 밴드 다이어그램.

도 2a 내지 도 2b는 본 발명의 일 실시예에 따른 플로팅 게이트 소자의 단면도 및 에너지 밴드 다이어그램.

도 3a 내지 도 3d는 본 발명의 또다른 실시예에 따른 플로팅 게이트 소자의 단면도 및 에너지 밴드 다이어그램.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 플래시 메모리 소자의 제조방법에 관한 것으로, 보다 자세하게는 터널 산화막의 컨덕션 밴드 에너지 준위를 변화하여 고에너지 전자주입 효율을 증가시켜 소자의 특성을 개선한 플래시 메모리 소자에 관한 것이다.

<5> 도 1a는 종래의 플로팅 게이트 소자를 나타낸 것으로, P형 실리콘 기판에 터널 산화막으로 SiO_2 (1)를 성장시키고, 그 위에 폴리실리콘 플로팅 게이트(2)를 증착하고, 그 위에 커플링비(Coupling Ratio)를 증가시키기 위해 대개의 경우 ONO(oxide-nitride-oxide)층(3)을 증착하

며, 그 위에 컨트롤 게이트(4)를 형성하고 패터닝하여 게이트를 형성하고, 상기 게이트를 마스크로 이온주입 공정을 진행하여 상기 실리콘 기판에 소오스/드레인 불순물 영역(5)이 형성된 구조로 되어 있다.

<6> 도 1b는 종래의 플로팅 게이트 소자의 에너지 밴드 다이어그램을 나타낸 것으로, 플로팅 게이트 소자는 주로 프로그램(Program)은 고에너지 전자주입(Hot Electron Injection) 방식으로 플로팅 게이트와 터널산화막, ONO층 사이에 형성된 전위우물에 전자를 가두는 방식을 사용하여 문턱전압을 증가시키고, 이레이즈(Erase)는 직접 터널링(Direct Tunneling) 또는 F/N(Fowler-Nordheim) 터널링 방식을 사용하여 전위우물에 갇힌 전자를 P형 실리콘 기판으로 빼내어 문턱전압을 감소시킨다. 이러한 플로팅 게이트 소자는 프로그램 스피드가 매우 빠르며 리텐션(Retention) 특성이 매우 좋고 넓은 V_t 윈도우를 얻을 수 있어 현재 대부분의 상업적인 비휘발성 메모리에 사용되고 있다.

<7> 하지만 상기 SiO_2 를 터널 산화막으로 사용하는 플로팅 게이트 소자는 터널 산화막과 P형 기판 사이에 형성되는 전위 장벽이 3.5eV 정도로 매우 높기 때문에 상대적으로 고에너지 이온 주입 효율이 떨어진다. 뿐만 아니라 이러한 전위 장벽을 넘을 정도로 큰 에너지를 얻은 전자가 전위 장벽을 넘어 플로팅 게이트에 형성된 전위 우물에 주입되면서 주입될 당시 얻었던 에너지를 모두 잃게 된다. 이러한 에너지 손실에 의해 터널 산화막 계면에 트랩을 생성시키게 되어 플로팅 게이트 소자의 문턱전압을 변화시키게 된다. 따라서 자주 읽고 쓰는 동작을 할 경우 플로팅게이트 소자특성을 열화시키는 주원인이 된다. 뿐만 아니라 리텐션 특성을 확보하기 위해 터널 산화막을 대개 80Å 내지 100Å 정도로 사용하는데 이 경우 이레이즈시 전자들이 터널 산화막을 터널링하는 길이가 매우 길어 이레이즈시키기 위한 전압이 높을 뿐만 아니라 이레이즈 시간도 상당히 길어 상대적으로 이레이즈 특성이 떨어진다.

<8> 대한민국 공개특허 제 2003-50999호에는 플로팅 게이트와 컨트롤 게이트의 접촉면적을 크게 하여 프로그램 및 이레이즈 등의 특성을 향상시킨 플래시 메모리 소자에 대하여 개시되어 있다. 그리고 미합중국 특허 제 US6,456,535호와 제 US 6,384,448호에는 소자의 프로그램 특성을 향상시키기 위해서 터널 산화막을 50Å 미만으로 매우 얇게 증착하여 고에너지 전자주입 현상을 증가시켜 프로그램 특성을 향상시키는 방법에 대하여 개시되어 있다. 그러나 상기와 같이 터널 산화막의 두께를 얇게 할 경우 리텐션 특성이 저하되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<9> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 종래의 터널 산화막으로 사용되는 SiO₂보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 사용하거나 혹은 SiO₂보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 제1터널 산화막으로 사용하고 컨덕션 밴드 에너지 준위가 SiO₂와 동일하거나 비슷한 수준의 산화막을 제2터널 산화막으로 사용하여 고에너지 전자주입 효율을 증가시켜 프로그램, 이레이즈, 리텐션 및 내구성(Endurance) 특성을 개선시킨 플래시 메모리 소자의 제조방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

<10> 본 발명의 상기 목적은 반도체 기판의 상부에 SiO₂보다 컨덕션 밴드 에너지 준위가 낮은 물질을 증착하여 터널 산화막을 형성하는 단계, 상기 터널 산화막 상부에 폴리를 증착하여 플로팅 게이트를 형성하는 단계, 상기 플로팅 게이트의 상부에 게이트간 절연막층을 형성하는 단계, 상기 게이트간 절연막층 상부에 컨트롤 게이트를 형성하는 단계, 상기 순차 증착된 상기

터널 산화막, 플로팅 게이트, 게이트간 절연막층 및 컨트롤 게이트를 패터닝하여 게이트 전극을 형성하는 단계 및 상기 게이트를 마스크로 하여 상기 기판에 불순물을 주입하여 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법에 의해서 달성된다.

<11> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

<12> 도 2a는 본 발명의 일 실시예에 따른 플로팅 게이트 소자를 나타낸 것으로 P형 실리콘 기판에 터널 산화막으로 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막(11)을 성장시키고 그 위에 폴리실리콘 플로팅 게이트(12)를 증착하고 그 위에 커플링 비를 증가시키기 위해 종래의 플로팅 게이트 소자와 동일하게 게이트간 절연막층(13)을 증착하며 그 위에 컨트롤 게이트(14)를 형성시키고 상기 구조물을 패터닝하여 게이트를 형성 후 상기 게이트를 마스크로 이온 주입 공정을 진행하여 상기 P형 실리콘 기판에 소오스/드레인 불순물 영역(15)이 형성된 구조로 되어 있다. 상기 터널 산화막은 유전상수가 높은 Y_2O_3 , Al_2O_3 , HfO_2 또는 ZrO_2 가 바람직하며, 상기 게이트간 절연막층은 ONO층이 바람직하다.

<13> 도 2b는 상기 터널 산화막을 Y_2O_3 로 사용시 플로팅 게이트 소자의 에너지 밴드 다이어그램을 나타낸 도면으로, 터널 산화막과 P형 기판 사이에 형성되는 전위 장벽이 2.3eV로 종래의 터널 산화막으로 SiO_2 를 사용하는 경우보다 1.2eV 정도 전위 장벽이 낮아지기 때문에 고에너지 전자주입 효율이 급격히 증가하여 프로그램 스피드가 향상된다. 또한, 상기 전위 장벽을 넘기 위해서 2.3eV 정도의 에너지만 얻으면 되므로 플로팅 게이트에 형성된 전위 우물에 주입되었을 때 소실되는 에너지량도 2.3eV로 SiO_2

$_2$ 를 사용시 소실되는 에너지량(3.5eV) 보다 1.2eV 줄어들어 읽고 쓰는 동작을 반복하면서 생성되는 트랩에 의해 플로팅 게이트 소자의 문턱전압이 변화하는 현상도 개선된다. 즉, 내구성(데이터를 저장 및 삭제할 수 있는 횟수) 특성도 개선되게 된다.

<14> 도 3a는 본 발명의 또 다른 실시예에 의한 플로팅 게이트 소자 구조를 나타낸 것으로 P형 실리콘 기판에 제 1 터널 산화막으로 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막(21)을 성장시키고, 상기 제 1 터널 산화막의 상부에 컨덕션 밴드 에너지 준위가 SiO_2 와 동일하거나 비슷한 수준의 산화막을 제 2 터널 산화막(22)으로 증착시키며, 상기 제 2 터널 산화막의 상부에 폴리실리콘 플로팅 게이트(23)를 증착하고 그 위에 커플링 비를 증가시키기 위해 종래의 플로팅 게이트 소자와 동일하게 게이트간 절연막층(24)을 증착하며 그 위에 컨트롤 게이트(25)를 형성하고 상기 구조물을 패터닝하여 게이트를 형성 후 상기 게이트를 마스크로 이온주입 공정을 진행하여 상기 P형 실리콘 기판에 소오스/드레인 불순물 영역(26)이 형성된 구조로 되어 있다. 상기 제 1 터널 산화막은 유전상수가 높은 Y_2O_3 , Al_2O_3 , HfO_2 또는 ZrO_2 가 바람직하며, 상기 제 2 터널 산화막으로는 Y_2O_3 , Al_2O_3 또는 SiO_2 가 바람직하다. 또한, 상기 게이트간 절연막층은 ONO층이 바람직하다.

<15> 도 3b는 제 1 터널 산화막으로 Y_2O_3 를 사용하고 제2터널 산화막으로 SiO_2 를 사용하는 플로팅 게이트 소자의 에너지 밴드 다이어그램을 나타낸 도면으로, 제 1 터널 산화막과 P형 기판 사이에 형성되는 전위 장벽이 2.3eV로 종래의 터널 산화막으로 SiO_2 를 사용하는 경우보다 1.2eV 정도 전위 장벽이 낮아지기 때문에 고에너지 전자주입 효율이 급격히 증가한다.

<16> 상기 제 1 터널 산화막의 컨덕션 밴드로 주입된 전자 중 제 1 터널 산화막과

제 2 터널 산화막 사이에 형성된 전위 장벽(1.2eV)을 뛰어 넘을 수 있을 만큼 추가적인 에너지를 가진 전자는 제 2 터널 산화막을 뛰어넘어 플로팅게이트에 형성된 전위우물에 주입되며 제 2 터널 산화막을 뛰어 넘지 못하는 전자 중 일부는 F/N 혹은 직접 터널링 방식으로 제 2 터널 산화막을 터널링하여 플로팅 게이트에 형성된 전위우물에 주입되며 나머지 전자들은 P형기판으로 다시 되돌아가게 된다.

- <17> 터널 산화막으로 SiO_2 만 사용한 종래의 기술에 비해 본 발명은 고에너지 전자주입 뿐만 아니라 F/N 혹은 집적 터널링 방식에 의해서도 플로팅 게이트에 형성된 전위우물에 전자가 주입되기 때문에 프로그램 스피드가 종래의 방식에 비해 빨라진다.
- <18> 상기 제 2 터널 산화막의 두께를 두껍게 하면 터널링 방식에 의한 프로그램 스피드 개선이 감소하기 때문에 가능한 얇게 증착한다. 반면에, 상기 제 1 터널 산화막의 두께는 프로그램 스피드에 영향을 주지 않으므로 제 1 터널 산화막을 가능한 두껍게 증착하여 리텐션 특성을 개선한다.
- <19> 본 발명에서 제 2 터널 산화막을 뛰어 넘는 전자는 플로팅 게이트에 형성된 전위우물에 주입시 종래의 플로팅 게이트 소자와 동일한 양의 에너지(3.5eV)를 잃게 되지만 제 2 터널 산화막을 터널링하는 전자는 2.3eV 정도의 에너지를 잃게 되므로 전체적으로 소실되는 에너지 양이 줄어들어 읽고 쓰는 동작을 반복하면서 생성되는 트랩에 의해 플로팅 게이트 소자의 문턱전압이 변화는 현상도 개선된다. 즉, 내구성 특성도 개선된다.
- <20> 도 3c는 제 1 터널 산화막으로 Y_2O_3 를 사용하고 제 2 터널 산화막으로 SiO_2 를 사용하는 플로팅 게이트 소자의 리텐션 모드의 에너지 밴드 다이어그램을 나타낸 도면으로, 플로팅 게이트의 전위우물에 갇힌 전자들이 P형 기판이나 컨트롤 게이트의 컨덕션 밴드로 빠져나가기 위해서 SiO_2

$_2$ 에 형성된 전위장벽(3.5eV)를 뛰어 넘거나 제 2 터널 산화막과 제 1 터널 산화막 혹은 ONO를 직접 터널링하는 방법이 있다. 그러나 리텐션 모드에서 플로팅 게이트의 전위우물에 갇힌 전자들이 P형 기판이나 컨트롤 게이트의 컨덕션 밴드로 빠져나가는 경우는 거의 발생하지 않으므로 리텐션 특성이 개선된다.

<21> 도 3d는 제 1 터널 산화막으로 Y_2O_3 를 사용하고 제 2 터널 산화막으로 SiO_2 를 사용하는 플로팅 게이트 소자의 이레이즈 모드의 에너지 밴드 다이어그램을 나타낸 도면으로, 터널산화막으로 SiO_2 를 사용하는 경우 SiO_2 를 터널링하는 길이가 매우 길어 이레이즈시키기 위한 전압을 증가시킬 수 밖에 없으며 이레이즈시키기 위한 시간 또한 증가하여 이레이즈 특성이 떨어지는 단점이 있었다. 본 발명은 컨트롤 게이트에 걸어 주는 이레이즈 전압을 제 2 터널 산화막에서의 전압강하가 2.3V 이상 되도록 유지시키면 플로팅 게이트에 형성된 전위우물에 갇힌 전자들이 제 2 터널 산화막만 직접 터널링하면 제 1 터널 산화막의 컨덕션 밴드로 주입될 수 있어 P형 기판의 컨덕션 밴드로 빠져나갈 수 있기 때문에 터널링 길이가 종래의 플로팅 게이트 소자(SiO_2)에 비해 줄어들어 이레이즈 스피드를 개선시킬 수 있다.

<22> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

- <23> 따라서, 본 발명의 플래시 메모리 소자의 제조방법은 종래의 터널 산화막으로 사용되는 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 사용하거나 혹은 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 산화막을 제1터널 산화막으로 사용하고 컨덕션 밴드 에너지 준위가 SiO_2 와 동일하거나 비슷한 수준의 산화막을 제2터널 산화막으로 사용함으로써 고에너지 전자주입뿐만 아니라 F/N 혹은 직접 터널링 방식에 의한 플로팅 게이트에 형성된 전위우물에 전자가 주입되기 때문에 프로그램 스피드가 종래의 방식에 비해 빨라지고, 플로팅 게이트에 형성된 전위우물에 전자들이 주입되면서 소실되는 에너지 양이 줄어들어 읽고 쓰는 동작을 반복하면서 생성되는 트랩에 의해 플로팅 게이트 소자의 문턱전압이 변하는 내구성 특성이 개선되는 효과가 있다.
- <24> 또한, 리텐션 모드에서 플로팅 게이트의 전위우물에 갇힌 전자들이 P형 기판이나 컨트롤 게이트의 컨덕션 밴드로 빠져나가는 현상이 발생하지 않아 리텐션 특성이 개선되고, 이레이즈 시 플로팅 게이트의 전위우물에 갇힌 전자들이 터널링해야 하는 터널링 길이가 줄어들어 이레이즈 스피드가 개선되는 효과가 있다.
- <25> 결국, 고에너지 전자주입 효율을 증가시켜 플래시 메모리 소자의 프로그램, 이레이즈, 리텐션 및 내구성 특성을 개선하는 효과가 있다.

【특허 청구범위】**【청구항 1】**

반도체 기판의 상부에 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 물질을 증착하여 터널 산화막을 형성하는 단계;

상기 터널 산화막 상부에 폴리를 증착하여 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트의 상부에 게이트간 절연막층을 형성하는 단계;

상기 게이트간 절연막층 상부에 컨트롤 게이트를 형성하는 단계;

상기 순차 증착된 상기 터널 산화막, 플로팅 게이트, 게이트간 절연막층 및 컨트롤 게이트를 패터닝하여 게이트 전극을 형성하는 단계; 및

상기 게이트를 마스크로 하여 상기 기판에 불순물을 주입하여 소오스/드레인 영역을 형성하는 단계

를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 2】

제 1항에 있어서,

상기 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 물질은 Y_2O_3 , Al_2O_3 , HfO_2 및 ZrO_2 중 어느 하나임을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 3】

제 1항에 있어서,

상기 터널 산화막을 형성하는 단계는 반도체 기판의 상부에 제 1 터널 산화막을 증착하여 형성하는 단계와 상기 제 1 터널 산화막 상부에 제 2 터널 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 4】

제 3항에 있어서,

상기 제 1 터널 산화막은 SiO_2 보다 컨덕션 밴드 에너지 준위가 낮은 Y_2O_3 , Al_2O_3 , HfO_2 및 ZrO_2 중 어느 하나임을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 5】

제 3항에 있어서,

상기 제 2 터널 산화막은 컨덕션 밴드 에너지 준위가 SiO_2 와 동일하거나 비슷한 Y_2O_3 , Al_2O_3 및 SiO_2 중 어느 하나임을 특징으로 하는 플래시 메모리 소자의 제조방법.

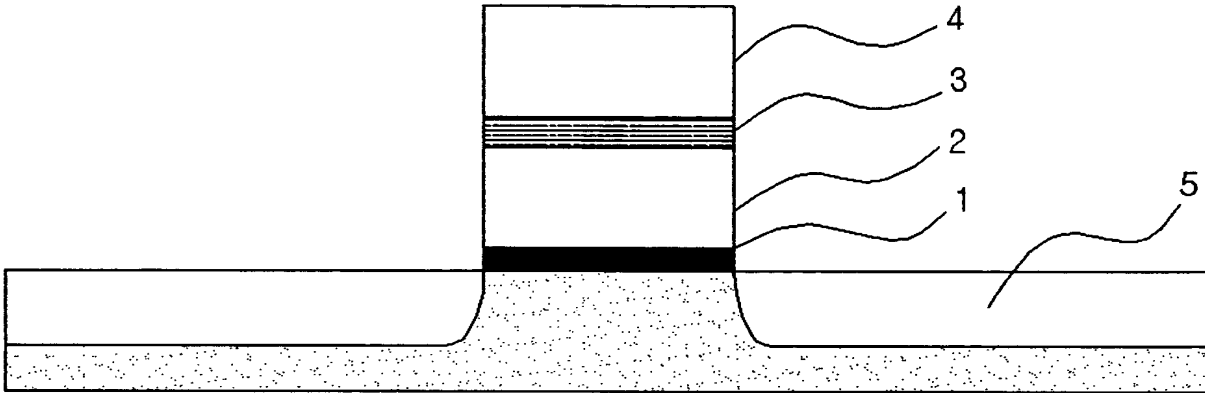
【청구항 6】

제 3항에 있어서,

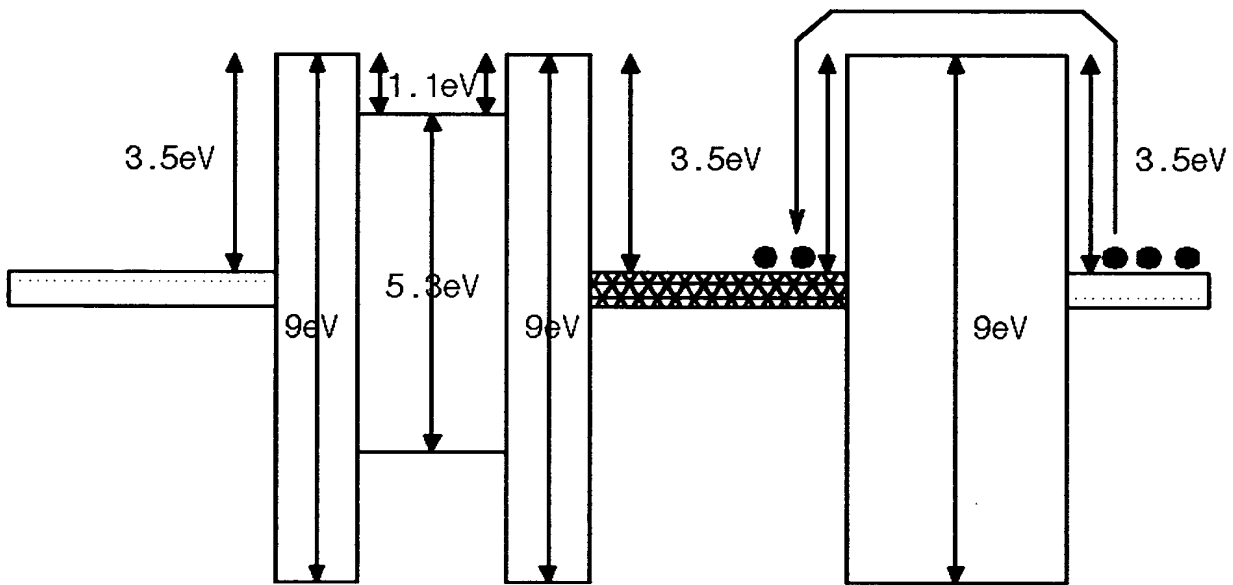
상기 제 1 터널 산화막은 제 2 터널 산화막보다 두껍게 증착하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【도면】

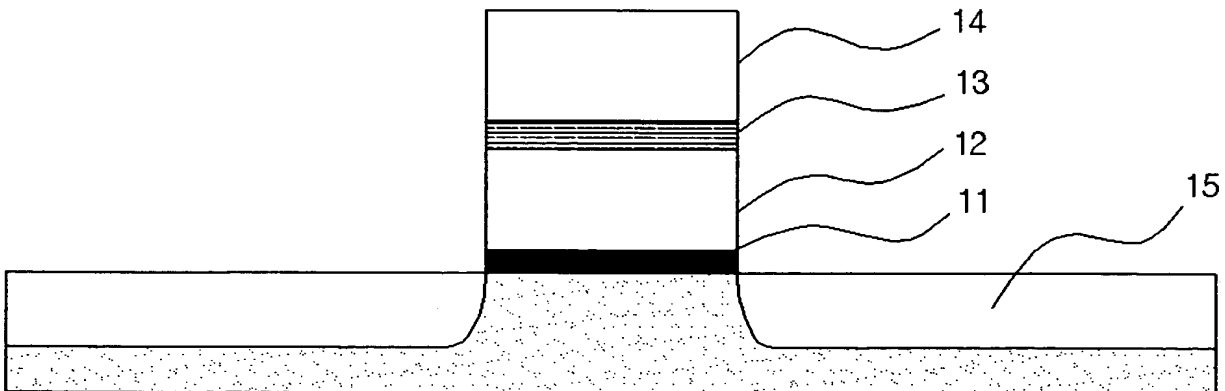
【도 1a】



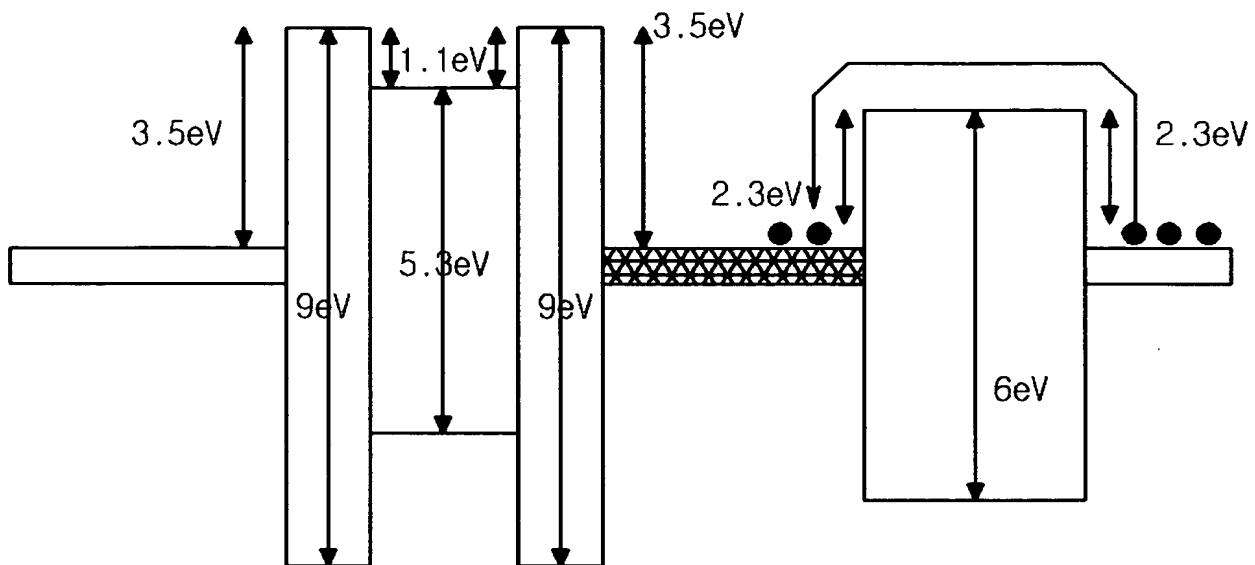
【도 1b】



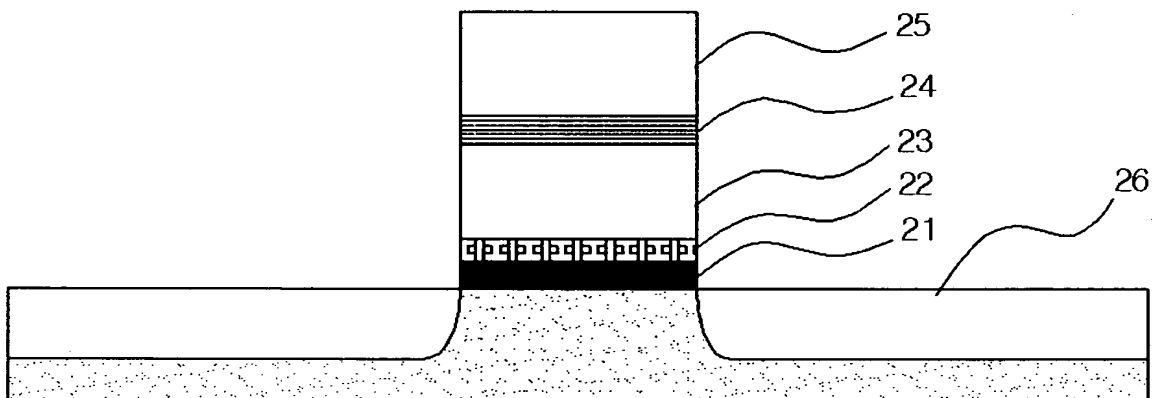
【도 2a】



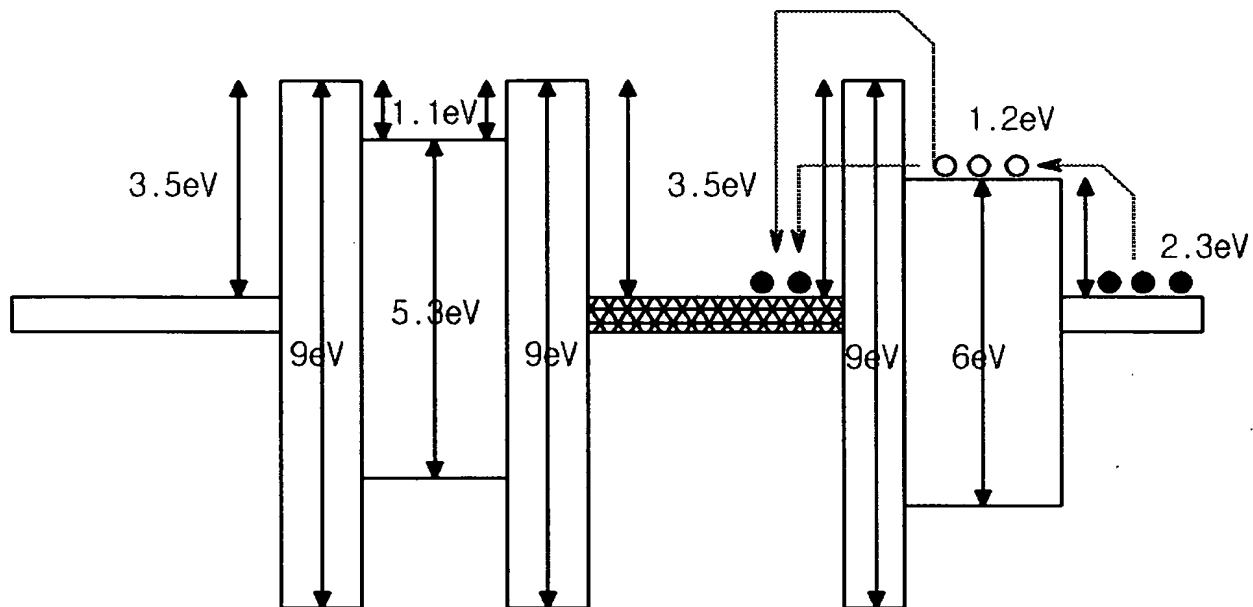
【도 2b】



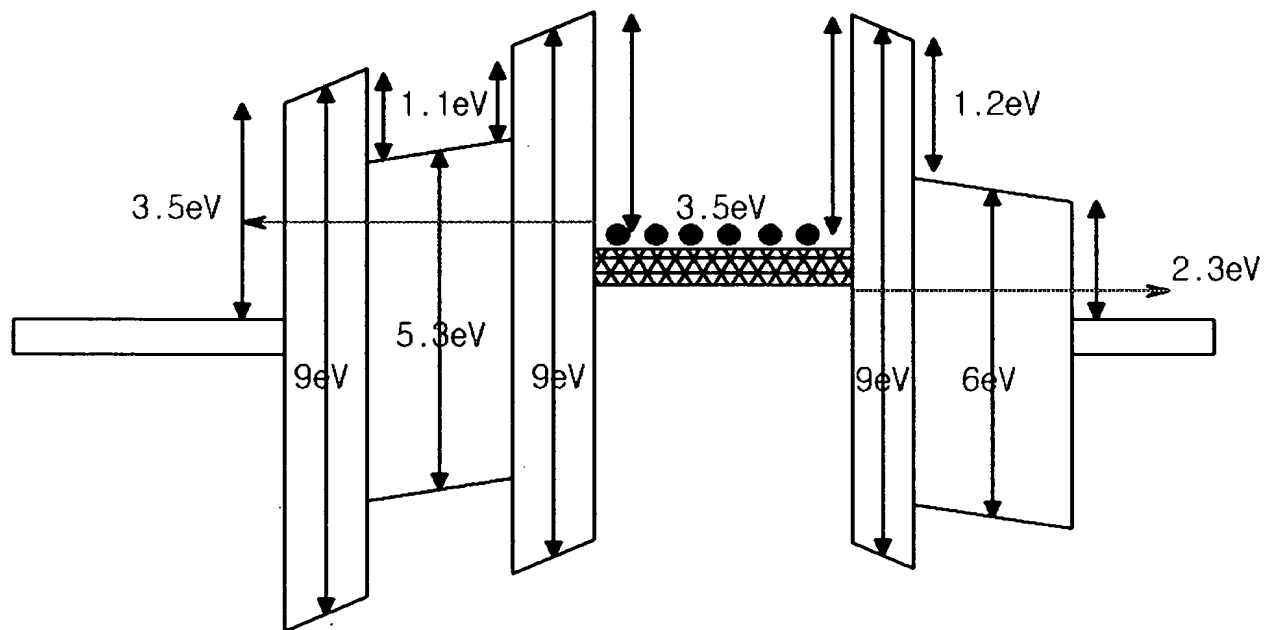
【도 3a】



【도 3b】



【도 3c】



【도 3d】

